

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

DIALOG(R)File 352:Derwent WPI

(c) 2003 Thomson Derwent. All rts. reserv.

009084816 \*\*Image available\*\*

WPI Acc No: 1992-212233/199226

XRAM Acc No: C92-095921

XRPX Acc No: N92-161025

Thin film transistor - has insulated film, silicon@ film, gate insulated  
film and gate electrode with junction portion formed by laser doping  
NoAbstract

Patent Assignee: KYOCERA CORP (KYOC )

Number of Countries: 001 Number of Patents: 001

Patent Family:

| Patent No  | Kind | Date     | Applicat No | Kind | Date     | Week     |
|------------|------|----------|-------------|------|----------|----------|
| JP 4139727 | A    | 19920513 | JP 90262361 | A    | 19900929 | 199226 B |

Priority Applications (No Type Date): JP 90262361 A 19900929

Patent Details:

| Patent No  | Kind | Lan Pg | Main IPC     | Filing Notes |
|------------|------|--------|--------------|--------------|
| JP 4139727 | A    | 6      | H01L-021/336 |              |

Title Terms: THIN; FILM; TRANSISTOR; INSULATE; FILM; SILICON; FILM; GATE;  
INSULATE; FILM; GATE; ELECTRODE; JUNCTION; PORTION; FORMING; LASER;  
DOPE; NOABSTRACT

Derwent Class: L03; U11

International Patent Class (Main): H01L-021/336

International Patent Class (Additional): H01L-021/22; H01L-029/78;  
H01L-029/784

File Segment: CPI; EPI

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

03774627     \*\*Image available\*\*

THIN FILM TRANSISTOR AND MANUFACTURE THEREOF

PUB. NO.:     04-139727 [JP 4139727 A]

PUBLISHED:     May 13, 1992 (19920513)

INVENTOR(s):   MATSUMOTO SATOSHI  
                  YAMAGUCHI NORITOSHI

APPLICANT(s): KYOCERA CORP [358923] (A Japanese Company or Corporation), JP  
                  (Japan)

APPL. NO.:     02-262361 [JP 90262361]

FILED:           September 29, 1990 (19900929)

INTL CLASS:     [5] H01L-021/336; H01L-021/22; H01L-029/784

JAPIO CLASS:    42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R002 (LASERS); R097 (ELECTRONIC MATERIALS -- Metal Oxide  
                  Semiconductors, MOS)

JOURNAL:        Section: E, Section No. 1257, Vol. 16, No. 415, Pg. 12,  
                  September 02, 1992 (19920902)

#### ABSTRACT

**PURPOSE:** To form a p-n junction having a good characteristic at a low temperature as a source-drain area without producing cracks in a silicon film by performing laser doping by setting the thickness of a the first insulating film to the double or thicker than that of a silicon film.

**CONSTITUTION:** The first insulating film 2 and a non-single crystal silicon film 3 are successively formed on an insulating substrate 1. The thickness of the film 3 is set to about 1/2 of the film 2. The second insulating film 4 is formed on the film 3. After the film 3 is crystallized or recrystallized by irradiating the film 3 with laser light L, the surface sections of the films 4 and 3 are removed by etching. Then a gate insulating film 5 is formed on the film 5 and a gate electrode 6 is formed on the film 5. In addition, contact holes 5a and 5b for forming source area/drain area are provided on both sides of the film 5 and diffusion layers 7 and 8 are respectively formed in the hole sections 5a and 5b by doping. Then a source and drain electrodes 9 and 10 are respectively formed on the source and drain areas 7 and 8. Finally, a protective film 11 is formed by leaving parts of the electrodes 6, 9, and 10 uncovered with the film 11.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-139727

⑬ Int. Cl.<sup>3</sup>

H 01 L 21/336  
21/22  
29/784

識別記号

庁内整理番号

E 8518-4M

⑭ 公開 平成4年(1992)5月13日

9056-4M H 01 L 29/78 3 1 1 P

審査請求 未請求 請求項の数 2 (全6頁)

⑮ 発明の名称 薄膜トランジスタ及びその製造方法

⑯ 特 願 平2-262361

⑰ 出 願 平2(1990)9月29日

⑱ 発 明 者 松 本 智 東京都大田区田園調布本町20番地3-408号 田園調布コーポラス

⑲ 発 明 者 山 口 文 紀 滋賀県八日市市蛇溝町長谷野1166番地の6 京セラ株式会社  
滋賀八日市工場内

⑳ 出 願 人 京セラ株式会社 京都府京都市山科区東野北井ノ上町5番地の22

明 細 書

1 発明の名称

薄膜トランジスタおよびその製造方法

2 特許請求の範囲

- (1) 基板上に、絶縁膜と一導電型不純物を含有するシリコン膜を形成して、このシリコン膜上にゲート絶縁膜とゲート電極を形成するとともに、ゲート絶縁膜近傍のシリコン膜中に逆導電型不純物を含有するソース領域とドレイン領域を形成し、このソース領域とドレイン領域上にソース電極とドレイン電極を形成して成る薄膜トランジスタにおいて、前記絶縁膜を前記シリコン膜の2倍以上の膜厚にしたことを特徴とする薄膜トランジスタ。
- (2) (a) 基板上に、第1の絶縁膜、一導電型不純物を含有する非単結晶シリコン膜、および第2の絶縁膜を順次積層する工程と、
- (b) 前記非単結晶シリコン膜にレーザー光を照射して結晶化または再結晶化する工程と、
- (c) 前記第1の絶縁膜の膜厚がシリコン膜の膜厚の

2倍以上になるように前記第2の絶縁膜とシリコン膜の表面部分を除去するとともに、前記シリコン膜上にゲート絶縁膜を形成し、ソース領域とドレイン領域を形成するためのコンタクト孔を設ける工程と、

(d) 前記ゲート絶縁膜上にゲート電極となる金属層を形成する工程と、

(e) 逆導電型不純物元素を含有する雰囲気中で前記コンタクト孔部分のシリコン膜にレーザー光を照射して溶融させることによりソース領域およびドレイン領域を形成する工程と、

(f) 前記ソース領域およびドレイン領域上にソース電極およびドレイン電極を形成する工程とを含んで成る薄膜トランジスタの製造方法。

3 発明の詳細な説明

(産業上の利用分野)

本発明は、薄膜トランジスタの製造方法に関し、特にレーザードーピング法を用いて半導体接合部を形成する薄膜トランジスタの製造方法に関する。

(発明の背景)

従来、多結晶シリコン膜などを用いた薄膜トランジスタには、第3図(㉔)に示すような二つのタイプのものがある。

すなわち、第3図(㉔)に示す薄膜トランジスタは、いずれもガラスや石英などから成る絶縁基板31上に、一導電型不純物を含有する多結晶シリコン膜32を形成して、この多結晶シリコン膜32上もしくは多結晶シリコン膜32内に逆導電型不純物を含有する半導体膜(もしくは半導体領域)33を形成することによりソース領域とドレイン領域を形成して、ゲート絶縁膜34、ゲート電極35、ソース電極36、ドレイン電極37をそれぞれ形成したものである。

第3図(㉔)に示す薄膜トランジスタでは、多結晶シリコン膜32上にプラズマCVD法または熱CVD法で微結晶シリコンもしくは多結晶シリコンなどを積層あるいは積層と熱処理との組み合わせで半導体接合部を形成したものである。

また、第3図(㉔)に示す薄膜トランジスタでは、多結晶シリコン膜32内に熱拡散法やイオン注入

法などで逆導電型不純物を導入して熱処理を加えることにより、半導体接合部を形成したものである。

ところが、第3図(㉔)に示す薄膜トランジスタでは、多結晶シリコン膜32上に、多結晶もしくは微結晶シリコン膜33、34を積層するため、界面に形成される自然酸化膜の影響を避け切れないという問題がある。界面に自然酸化膜が存在すると半導体接合部においてトンネル電流が支配的になるため、薄膜トランジスタのOFF電流が大きくなるという悪影響が生じる。また、ゲート電極35とソース電極36/ドレイン電極37のオフセット部に大きい寄生抵抗が存在する。

また、第3図(㉔)に示す薄膜トランジスタでは、イオン注入法の場合、600℃以上の熱処理が必要であり、熱拡散の場合は最低800℃以上の温度が必要である。このため、ソーダガラスやクラウンガラスなどの低融点ガラス基板上にはこのような薄膜トランジスタを形成することはできない。

さらにまた、半導体用不純物ガス中で半導体基

板上にレーザ光を照射して不純物元素をドーピングさせるGILD法(Gas Immersion Laser Diffusion)なども提案されているが、バルクシリコンに対するものであり、絶縁基板上的薄膜シリコンに適用した例はない。特に、ガラスなどの絶縁基板上に絶縁膜とシリコン膜とを形成してレーザ光を照射して表面部分のみを溶融させる場合、それぞれの熱膨張係数の相違や多層構造に起因して、シリコン膜にクラックが発生したり、膜剥離が発生する。したがって、薄膜シリコンにレーザドーピング法を適用するには工夫が必要である。

本発明はこのような背景のもとに案出されたものであり、半導体接合部をレーザドーピング法によって形成する薄膜トランジスタの製造方法を提供することを目的とするものである。

#### (発明の構成)

本発明によれば、基板上に、絶縁膜と一導電型不純物を含有するシリコン膜を形成して、このシリコン膜上にゲート絶縁膜とゲート電極を形成するとともに、ゲート絶縁膜近傍のシリコン膜中に

逆導電型不純物を含有するソース領域とドレイン領域を形成し、このソース領域とドレイン領域上にソース電極とドレイン電極を形成して成る薄膜トランジスタにおいて、前記絶縁膜を前記シリコン膜の2倍以上の膜厚にしたことを特徴とする薄膜トランジスタと、(㉕)絶縁基板上に、第1の絶縁膜、一導電型不純物を含有する非単結晶シリコン膜、および第2の絶縁膜を順次積層する工程と、(㉖)前記非単結晶シリコン膜にレーザ光を照射して結晶化または再結晶化する工程と、(㉗)前記第1の絶縁膜の膜厚がシリコン膜の膜厚の2倍以上になるように前記第2の絶縁膜とシリコン膜の表面部分を除去するとともに、前記シリコン膜上にゲート絶縁膜を形成し、ソース領域とドレイン領域を形成するためのコンタクト孔を設ける工程と、(㉘)前記ゲート絶縁膜上にゲート電極となる金属層を形成する工程と、(㉙)逆導電型不純物元素を含有する雰囲気中で前記コンタクト孔部分のシリコン膜にレーザ光を照射して溶融させることによりソース領域およびドレイン領域を形成する工程と、(㉚)

前記ソース領域およびドレイン領域上にソース電極およびドレイン電極を形成する工程とを含んで成る薄膜トランジスタの製造方法が提供され、そのことにより上記目的が達成される。

(作用)

上記のように構成することにより、レーザドレーピング時にシリコン膜にクラックを発生させたり、膜剥離を発生させることなく薄膜トランジスタを形成できるとともに、半導体接合部を自然酸化膜を存在させることなく自己整合を持たせて低温で形成でき、もってOFF特性が良好で、寄生抵抗も少ない薄膜トランジスタを提供することができる。

(実施例)

以下、本発明を添付図面に基づき詳細に説明する。

第1図は本発明に係る薄膜トランジスタの製造方法の一実施例を示す製造工程図である。

まず、第1図(a)に示すように、#7059基板などから成る絶縁基板1上に、酸化シリコン膜(

度の厚みにすることが望ましい。

前記非単結晶シリコン膜3上には、酸化シリコン膜( $\text{SiO}_2$ )などから成る第2の絶縁膜4が形成される。この酸化シリコン膜4も例えばプラズマCVD法により形成され、厚み500Å程度に形成される。この第2の絶縁膜4は、シリコン膜3を結晶化もしくは再結晶化する際に、シリコン膜4の表面側から不純物が混入するのを防止したり、シリコン膜4の膜剥離やクラックを防止するために設ける。

次に、第1図(b)に示すように、非単結晶シリコン膜3にレーザ光線を照射して非単結晶シリコン膜3を結晶化もしくは再結晶化する。すなわち、非単結晶シリコン膜3にレーザ光線を照射して加熱・熔融・固化させることにより結晶化もしくは再結晶化させる。このレーザ光線としては、 $5 \times 10^4 \text{ W/cm}^2$ 程度の出力で、ビーム径が40 $\mu\text{m}$ 程度の連続発振A rイオンレーザなどが好適に用いられ、20mm/sec程度の走査速度で走査することによって非単結晶シリコン膜3を加

$\text{SiO}_2$ )などから成る第1の絶縁膜2を形成する。この酸化シリコン膜2は、例えば従来周知のプラズマCVD法などにより、例えば1000Å~3 $\mu\text{m}$ 程度の厚みに形成される。この第1の絶縁膜2は、後述するシリコン膜3を結晶化もしくは再結晶化する際に、ガラス基板1からシリコン膜中に不純物が混入するのを阻止したり、ガラス基板1とシリコン膜3に熱膨張係数の相違に起因して発生するシリコン膜3に加わる熱衝撃を緩和するために設ける。

前記酸化シリコン膜2上に、非単結晶シリコン膜3を形成する。この非単結晶シリコン膜3は、例えば非晶質シリコン膜や微結晶シリコン膜で構成され、例えばプラズマCVD法や熱CVD法により、500Å~1.5 $\mu\text{m}$ 程度の厚みに形成される。この非単結晶シリコン膜3中には、リン(P)などの一導電型不純物を含有させておく。この一導電型不純物は、非単結晶シリコン膜3を形成する際に、同時に含有させればよい。この非単結晶シリコン膜3は、第1の絶縁膜2の1/2程

熱・熔融させる。非単結晶シリコン膜3を結晶化もしくは再結晶化させた後に、第2の絶縁膜4とシリコン膜3の表面部分を、フッ酸溶液などでエッチング除去する。この際、シリコン膜3は、第1の絶縁膜2が2倍以上の厚みとなるように表面部分を除去する。なぜなら、後述するレーザドレーピング時にシリコン膜3の表面が熔融することから、冷却固化時のストレスを緩和しなければならぬが、絶縁膜2の厚みをアモルファスシリコン膜3の厚みよりも2倍以上の膜厚にすると非単結晶シリコン膜3にクラックが発生するのを防止できるからである。

次に、第1図(c)に示すように、シリコン膜3上に、例えば1000Å程度の厚みを有する酸化シリコン膜( $\text{SiO}_2$ )などから成るゲート絶縁膜5を形成する。このゲート絶縁膜5は、シリコン膜3との界面単位を低く抑えとともに緻密な膜を形成するために、例えばイオンビームスパッタリング法によって形成する。

ゲート絶縁膜5上に、例えばAl、Ni、

Ti、Crなどから成るゲート電極6を形成する。このゲート電極6は、例えば真空蒸着法やスパッタリング法によって形成される。また、ゲート絶縁膜5の両側部には、ソース領域/ドレイン領域を形成するためのコンタクトホール5a、5bを設ける。このコンタクトホール5a、5bは、従来周知のフォトリソ技法により形成される。

次に、第1図(c)に示すように、シリコン膜3のコンタクトホール部5a、5b部分に、レーザドーピング法によって拡散層7、8を形成する。この拡散層7、8は、例えばジボラン(B<sub>2</sub>H<sub>6</sub>)などのドーピングガスの濃度が10%となるように窒素ガス(N<sub>2</sub>)で希釈して50 Torrの雰囲気中で、シリコン膜3にエキシマレーザ光を照射してシリコン膜3の表面部分を熔融させることにより形成する。このレーザとしては、強度が0.5~0.7 J/cm<sup>2</sup>のようなArFエキシマレーザ(波長λ=193 nm、パルス幅17 ns、5パルス)が用いられる。この時のドーピングプロフィールを第2図に示す。すなわち、上述のよう

な条件でシリコン膜3の表面部分を熔融させると、シリコン膜3の表面部分には、10<sup>21</sup>個/cm<sup>3</sup>のボロン(B)が拡散し、表面から2500 Å程度の深さのところで10<sup>18</sup>個/cm<sup>3</sup>のボロン(B)が拡散する。上述の拡散領域7、8が、トランジスタのソース領域とドレイン領域となる。このように、ArFエキシマレーザを用いてソース領域とドレイン領域を形成すると、シート抵抗が100 Ω/□以下となり、薄膜トランジスタを形成した場合、寄生抵抗を低減できる。

次に、第1図(c)に示すように、ソース領域7およびドレイン領域8上に、ソース電極9およびドレイン電極10を形成する。このソース電極9およびドレイン電極10は、Al、Ni、Ti、Crなどで構成され、真空蒸着法やスパッタリング法により形成される。

最後に、第1図(c)に示すように、電極6、9、10の一部を残して保護膜11を形成して完成する。この保護膜11は、例えば酸化シリコン膜などから成り、例えばイオンビームスパッタリング

法により形成する。

(実験例)

#7059基板上に、プラズマCVD法で酸化シリコン膜を5000~20000 Åの厚みに形成し、この酸化シリコン膜上に非晶質シリコン膜を厚み7000 Åおよび酸化シリコン膜を厚み500 Åに形成して、強度が5×10<sup>8</sup> W/cm<sup>2</sup>でビーム径が40 μmのArレーザ光を20 mm/secの走査速度で照射してシリコン膜を多結晶化させた後シリコン膜の表面部分を2000 Å除去して、レーザドーピングを行った。このレーザドーピング時のクラックの発生率を下表に示す。

なお、レーザドーピングの条件は、0.5~0.7 J/cm<sup>2</sup>の強度を有するArFエキシマレーザをB<sub>2</sub>H<sub>6</sub>の濃度が10%となるようにN<sub>2</sub>で希釈した50 Torrの雰囲気中で5パルス照射して行ったものである。

表

| TEOS膜厚  | シリコン膜厚 | シリコン膜のクラック発生率 |
|---------|--------|---------------|
| 5000 Å  | 5000 Å | 100%          |
| 10000 Å | 5000 Å | 67%           |
| 15000 Å | 5000 Å | 0%            |
| 20000 Å | 5000 Å | 0%            |

上記表から明らかなように、下地酸化シリコン膜の厚みがシリコン膜の膜厚より2倍以上あるとレーザドーピング時に、シリコン膜のクラック発生率が低下し、3倍以上あると全くクラックが発生しないことが分かる。

また、下地酸化シリコン膜の厚みを15000 Åに設定して上述の条件で薄膜トランジスタを形成し、ソース/ドレイン領域間に1 Vの電圧を印加したときの逆方向電流を調べたところ、1×10<sup>-6</sup>~1×10<sup>-8</sup> A/cm<sup>2</sup>であり、薄膜トランジスタとしては十分なものであることが確認された。

## (発明の効果)

以上のように、本発明に係る薄膜トランジスタおよびその製造方法によれば、第1の絶縁膜の厚みをシリコン膜の厚みの2倍以上に設定してレーザドーピングを行うことから、シリコン膜にクラックを発生させることなく、ソース/ドレイン領域として良好な特性をもつp-n接合が低温で形成できる。

また、p-n接合部の界面に自然酸化膜が存在しないため、良好なOFF特性を有する薄膜トランジスタが得られる。

また、ソース領域とドレイン領域のシート抵抗が小さいため、寄生抵抗による影響が小さくなり、薄膜トランジスタのON特性が向上する。

また、ソース領域とドレイン領域の形成は自己整合となるため、ゲート絶縁膜とソース領域やドレイン領域がオフセットとならないなど種々のすぐれた効果を有する。

## 4.図面の簡単な説明

第1図(a)~(f)は本発明に係る薄膜トランジスタ

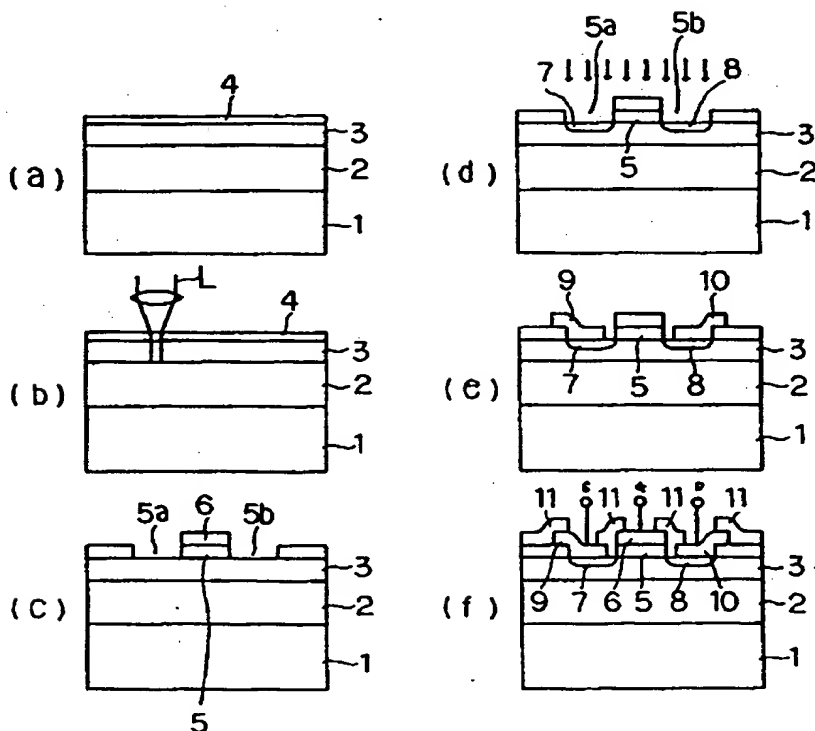
の製造方法の一実施例を示す工程図、第2図はシリコン膜の膜厚と不純物元素のドーピング量との関係を示す図、第3図(a)(b)はそれぞれ従来の薄膜トランジスタの構成を示す図である。

- |           |            |
|-----------|------------|
| 1: 絶縁基板   | 2: 第1の絶縁膜  |
| 3: シリコン膜  | 4: 第2の絶縁膜  |
| 5: ゲート絶縁膜 | 6: ゲート電極   |
| 7: ソース領域  | 8: ドレイン領域  |
| 9: ソース電極  | 10: ドレイン電極 |

特許出願人

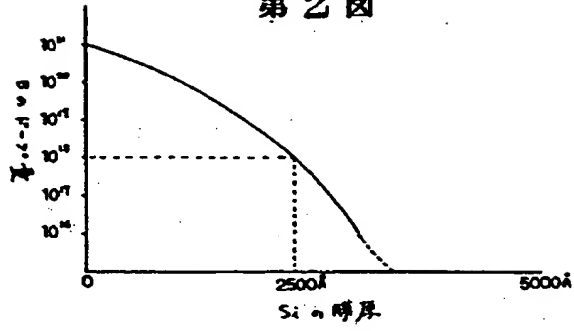
(663) 京セラ株式会社

## 第1図





第2図



第3図

